

gerne die Stad der Technik
Karlsruhe

⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Offenlegungsschrift

⑯ DE 3700986 A1

2 US 4,881,227

⑯ Aktenzeichen: P 37 00 986.9

⑯ Anmeldetag: 15. 1. 87

⑯ Offenlegungstag: 28. 7. 88

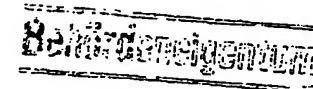
⑯ Int. Cl. 4:

F02D 41/26

F 02 D 41/22

F 02 D 41/38

G 06 F 15/16



DE 3700986 A1

⑯ Anmelder:

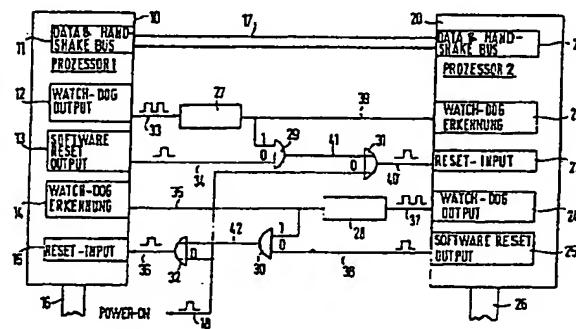
Robert Bosch GmbH, 7000 Stuttgart, DE

⑯ Erfinder:

Bühren, Harald, Dipl.-Ing., 7580 Bühl, DE

⑯ Einrichtung zur Überwachung eines Rechnersystems mit zwei Prozessoren in einem Kraftfahrzeug

Es wird eine Einrichtung zur Überwachung eines Rechnersystems mit zwei Prozessoren in einem Kraftfahrzeug vorgeschlagen. Diese sieht vor, daß sich die beiden Prozessoren gleichberechtigt überwachen und diese Überwachung in der Art eines Hand-Shake-Betriebs im Zuge des zyklischen Datenaustauschs zwischen beiden Prozessoren erfolgt. Dabei ist besonders vorteilhaft, daß die beiden Prozessoren auch völlig unabhängig voneinander arbeiten können, keinen direkt gekoppelten oder gemeinsamen I/O-Bus benutzen müssen und überdies mit verschiedenen Clock-Frequenzen gegenseitig asynchron betreibbar sind. Die erfindungsgemäße Einrichtung leistet eine gleichberechtigte gegenseitige Überwachung zweier Prozessoren so, daß bei Auftreten eines Fehlers dieser lokalisiert werden kann. So erlaubt die erfindungsgemäße Einrichtung eine Unterscheidung, ob ein Prozessor ausgesetzt ist oder ob in der peripheren Hardware der Prozessoren ein Fehler vorliegt. Zu diesem Zweck wird besagter zyklischer Datenaustausch zwischen beiden Prozessoren als Quittungspfad für die Überwachungsfunktion ausgenutzt.



DE 3700986 A1

Patentansprüche

1. Einrichtung zur Überwachung eines Rechnersystems mit zwei Prozessoren in einem Kraftfahrzeug, wobei beide Prozessoren durch besondere Tore über Daten- und Steuerleitungen (17) fest miteinander verdrahtet sind, dadurch gekennzeichnet,

- daß beide Prozessoren (10, 20) bis auf einen zyklischen Daten- und Befehlaustausch über besagte Daten- und Steuerleitungen unabhängig voneinander betreibbar sind, 10
- daß je Prozessor ein erster Ausgang (12, 24) zur Abgabe eines dynamischen Watch-Dog-Signale vorgesehen und fest belegt ist, 15
- daß je Prozessor ein besonderer Eingang (14, 22) zur Erkennung eines statischen Watch-Dog-Signals vorgesehen und fest belegt ist, 20
- daß je Prozessor ein zweiter Ausgang (13, 25) zur Abgabe eines Software-Reset-Signales vorgesehen und fest belegt ist, 25
- daß ein Reset-Eingang (15, 23) eines jeden Prozessors jeweils mit dem Ausgang einer zugeordneten logischen ODER-Schaltung (31, 32) verbunden ist, wobei beide ODER-Schaltungen einen ersten und einen zweiten Eingang aufweisen und die ersten Eingänge derselben zur gemeinsamen Beaufschlagung mit einem Startimpuls; vorzugsweise mit einem Power-On-Impuls beaufschlagbar sind, 30
- daß besagter erster Ausgang (12, 24) eines jeden Prozessors auf den Eingang einer Pumpschaltung (27, 28) geführt ist, deren Ausgang jeweils an besagten besonderen Eingang (14, 22) des jeweils anderen Prozessors geführt ist und der in Abhängigkeit von einem anliegenden dynamischen Watch-Dog-Signal ein statisches Watch-Dog-Signal entnehmbar ist, 35
- daß besagter zweiter Ausgang (13, 25) eines jeden Prozessors jeweils auf einen ersten Eingang einer diesem Prozessor zugeordneten logischen UND-Schaltung (29, 30) geführt ist, 40
- daß ein zweiter Eingang besagter logischer UND-Schaltung (29, 30) jeweils an den Ausgang der Pumpschaltung (27, 28) zum Empfang des stationären Watch-Dog-Signals des der jeweiligen UND-Schaltung zugeordneten Prozessors geführt ist und 45
- daß der Ausgang jeder der beiden besagten logischen UND-Schaltung (29, 30) jeweils auf den zweiten Eingang der dem anderen Prozessor zugeordneten ODER-Schaltung geführt ist. 50

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß wenigstens einer der beiden Prozessoren mit einem weiteren, von besagten Daten- und Steuerleitungen unabhängigen Datenbus verbunden ist.

3. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die beiden Prozessoren mit voneinander verschiedener Clockfrequenz betreibbar sind.

4. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die über besagte Steuerleitung (17) ausgelösten Prüfworte für die Datenübertragung auf besagten Datenleitungen richtungsabhängig verschieden sind.

5. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß einer der beiden Prozessoren als Master mit Vorrang und der anderen Prozessor als Slave mit Nachrang betreibbar ist, solange kein Defekt vorliegt und daß bei Erkennung eines Defekts jeder der beiden Prozessoren im wesentlichen dieselbe Notfunktion mit gleicher Leistung abarbeitet.

Beschreibung

Stand der Technik

Die Erfindung geht aus von einem Rechnersystem mit zwei Prozessoren für die Gemischzumessung in eine Brennkraftmaschine nach der Gattung des Hauptanspruchs. Es sind Mehrrechnersysteme mit einer Funktionsaufteilung bekannt, bei denen ein Hauptrechner im Normalbetrieb, der den störungsfreien Zustand darstellt, die gesamte Rechnerleistung für die erforderlichen Steuer- und Regelfunktionen bereitstellt. Ein zweiter Rechner, der ausschließlich als Notrechner dient, kann bei Ausfall des Hauptrechners Notfunktionen übernehmen und damit einen wenigstens eingeschränkten Betrieb aufrechterhalten. Solange kein Störungsfall vorliegt, bleibt der Notrechner im allgemeinen ungenutzt. In solchen Systemen wird jedenfalls der Hauptrechner überwacht; erkennt eine geeignete Überwachungseinrichtung eine Störung oder einen Defekt, übernimmt der Notrechner teilweise oder in vollem Umfang die Aufgaben des Hauptrechners.

In der noch unveröffentlichten deutschen Patentmeldung P 35 39 407.2 ist ein Rechnersystem mit zwei Prozessoren zur Regelung von Kenngrößen einer Brennkraftmaschine beschrieben. Den zwei Prozessoren sind gedoppelte Geber zugeordnet, von denen jeweils einer dem Hauptrechner und ein anderer dem Notrechner Meßwerte liefert. Es sind zwar beide Rechner so ausgeführt, daß sie dieselbe Verarbeitsleistung erbringen können. Allerdings besteht die dort realisierte Notfunktion hauptsächlich in der alternativen Zuweisung von Gebersignalen an die beiden Prozessoren bzw. der alternativen Zuweisung von Ausgangssignalen der beiden Prozessoren an Endstufen im Fehlerfall. Stellen Überwachungsschaltungen in den zugeordneten Prozessoren Störungen fest, wird über ein UND-Gatter eine die Kraftstoffzumessung beeinflussende Endstufe abgeschaltet. Eine weitergehende technische Lehre, wie die Überwachung der beiden leistungsgleichen Prozessoren mit Haupt- und Notfunktion geschieht, wird dort jedoch nicht gegeben. Insbesondere gibt jene Schrift keinen Hinweis darauf, wie die gegenseitige Überwachung mehrerer Prozessoren auch dann zu leisten wäre, wenn beide für verschiedene Aufgaben, unter Umständen gar in synchroner Betriebsweise, benutzt werden.

Der Erfindung liegt deshalb die Aufgabe zugrunde, in einem mit zwei Prozessoren arbeitenden Kraftstoffzumessungssystem eine möglichst einfache, aber dennoch mächtige Sicherheitsfunktion vorzusehen, und zwar insbesondere dann, wenn beide Prozessoren im störungsfreien Fall gleichermaßen und gleichberechtigt zur Verarbeitungsleistung des Gesamtsystems beitragen. Die Erfindung zielt also ab auf ein System, in dem ein Datenaustausch zwischen beiden Prozessoren erfolgen muß und erfolgt, solange keine Störung vorliegt. Um die Verfügbarkeit des Gesamtsystems bei Ausfall eines Prozessors oder auch nur bei Fehlern in der Datenübertragung

zu gewährleisten, ist es notwendig, daß der entsprechende Fehler erkannt wird. Bei Erkennen eines Fehlers müssen die Prozessoren je nach Fehlerart geeignet reagieren, um die Verfügbarkeit des Systems zu gewährleisten.

Vorteile der Erfindung

Die vorgenannte Aufgabe wird erfahrungsgemäß durch eine Einrichtung nach der Gattung des Hauptanspruchs gelöst. Diese sieht vor, daß sich die beiden Prozessoren gleichberechtigt überwachen und diese Überwachung in der Art eines Hand-Shake-Betriebs im Zuge des zyklischen Datenaustauschs zwischen beiden Prozessoren erfolgt. Dabei ist es möglich, daß die Prozessoren sich jeweils gegenseitig neu starten können, z. B. nach Wegfall einer Störungseinwirkung auf den I/O-Bus eines der beiden Prozessoren, oder bei dauerhaftem Talausfall eines der beiden Prozessoren.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen der im Hauptanspruch angegebenen Einrichtung möglich. Dabei ist besonders vorteilhaft, daß die beiden Prozessoren auch völlig unabhängig voneinander arbeiten können, keinen direkt gekoppelten oder gemeinsamen I/O-Bus benutzen müssen und überdies mit verschiedenen Clock-Frequenzen gegenseitig asynchron betreibbar sind. Schließlich leistet die Erfindung eine gleichberechtigte gegenseitige Überwachung zweier Prozessoren so, daß bei Auftreten eines Fehlers dieser lokalisiert werden kann. So erlaubt die erfahrungsgemäße Einrichtung eine Unterscheidung, ob ein Prozessor ausgefallen ist oder ob in der peripheren Hardware der Prozessoren ein Fehler vorliegt. Zu diesem Zweck wird besagter zyklischer Datenaustausch zwischen beiden Prozessoren als Quittungspfad für die Überwachungsfunktion ausgenutzt.

Zeichnung

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Die einzige Figur zeigt in Blocksymbolen eine erfahrungsgemäße Einrichtung zur Überwachung eines Rechnersystems mit zwei Prozessoren in einem Kraftfahrzeug.

Beschreibung des Ausführungsbeispiels

Die Zeichnung zeigt einen ersten Prozessor 10 mit einem Tor 11 zur Speisung eines Daten- und Kontrollbusses 17 und mit einem — hier nur symbolisch ange deutet — Eingangs/Ausgangs(I/O)-Bus 16. Entsprechend ist ein zweiter Prozessor 20 mit einem Tor 21 zur Speisung desselben Daten- und Kontrollbusses 17 und mit einem I/O-Bus 26 vorgesehen. Der Prozessor 10 verfügt über zwei Ausgänge 12 und 13, die über entsprechende Leitungen 33 und 34 eine erste Pumpschaltung 27 bzw. den ersten Eingang eines ersten UND-Gatters 29 ansteuern. Dabei gibt der Ausgang 12 ein sogenanntes Watch-Dog-Signal und der Ausgang 13 ein sogenanntes Software-Reset-Signal ab. Weiter weist der Prozessor 10 zwei Eingänge 14 und 15 auf, die über entsprechende Leitungen 35 bzw. 36 vom Ausgang einer zweiten Pumpschaltung 28 bzw. eines ersten ODER-Gatters 32 angesteuert werden. Der Eingang 14 dient dabei zum Empfang eines Watch-Dog-Signals und der Eingang 15 dient zum Empfang eines Reset-Signals.

Der Prozessor 20 verfügt ebenfalls über zwei Eingänge 22 und 23, die über entsprechende Leitungen 39 bzw. 40 vom Ausgang der ersten Pumpschaltung 27 bzw. vom Ausgang einer zweiten ODER-Schaltung 31 angesteuert werden. Dabei dienen die Eingänge 22 und 23 analog zu den Eingängen 14 und 15 des Prozessors 10 zum Empfang eines Watch-Dog-Signals bzw. eines Reset-Signals. Entsprechend zum Prozessor 10 weist der Prozessor 20 noch zwei Ausgänge 24 und 25 auf, die über Leitungen 37 bzw. 38 eine zweite Pumpschaltung 28 bzw. den ersten Eingang eines zweiten UND-Gatters 30 ansteuern. Der Ausgang der ersten Pumpschaltung 27 ist noch an den zweiten Eingang des ersten UND-Gatters 29 geführt, dessen Ausgang über eine Verbindungsleitung 41 den ersten Eingang besagten UND-Gatters 30 ansteuert. Entsprechend ist der Ausgang der zweiten Pumpschaltung 28 noch auf den ersten Eingang eines zweiten UND-Gatters 30 geführt, dessen Ausgang über eine Verbindungsleitung 42 den ersten Eingang besagten UND-Gatters 32 ansteuert. Den jeweils zweiten Eingänge der ODER-Gatter 31 und 32 kann über eine gemeinsame Ansteuerleitung 18 beim Einschalten des Systems ein Initialisierungssignal (Power-On-Impuls) zugeführt werden.

Die beiden zu überwachenden Prozessoren 10 und 20 können z. B. in einem E-Gas-System als Master- und Slave-Prozessor ausgeführt sein. Dabei arbeiten die beiden Prozessoren asynchron und bis auf eine zyklische Datenübertragung völlig unabhängig voneinander. Die gegenseitige Überwachung erfolgt jeweils durch die Auswertung der Signalzustände auf drei parallelen Pfaden: der Prozessor 10 wird vom Prozessor 20 auf Fehlerhaftigkeit überwacht anhand logischer Auswertung des Signalprotokolls, wie es sich aus der Zusammenfassung dreier Signalpfade ergibt, nämlich dem Signalfuß auf dem Bus 17, dem Watch-Dog-Signal auf der Leitung 33 und dem Software-Reset-Signal auf der Leitung 34, der Prozessor 20 wird vom Prozessor 10 auf Fehlerhaftigkeit überwacht anhand logischer Auswertung des Signalprotokolls, wie es sich aus der Zusammenfassung dreier Signalpfade ergibt, nämlich dem Signalfuß auf dem Bus 17, dem Watch-Dog-Signal auf der Leitung 37 und dem Software-Reset-Signal auf der Leitung 38.

Die Prozessoren 10 und 20 tauschen in einem festen Zeitraster Daten zyklisch aus. Es wird davon ausgegangen, daß zunächst der Prozessor 10 (als Master) eine Datenanforderung über den Bus 17 an den Prozessor 20 (als Slave) abgibt; letzterer erwartet aufgrund der fest vereinbarten Zykluszeit eine Datenanforderung. Bleibt daraufhin eine Datenübertragung von Prozessor 20 an Prozessor 10 aus, so erkennt dies jeweils der entsprechende Prozessor, und zwar Prozessor 10, wenn auf seine Datenanforderung nicht mit einer Datenübertragung reagiert wurde, und Prozessor 20, wenn nach Ablauf eines Zyklus keine Datenanforderung vom Prozessor 10 einging. Damit stellt der Bus 17 zusammen mit dem darauf statifindenden Signalfuß und dessen Vergleich mit dem zugrundeliegenden Signalfußprotokoll einen bidirektionalen, ersten Kausalpfad zur Überwachung beider Prozessoren gegeneinander dar.

Der Prozessor 10 bzw. 20 gibt über die Leitung 33 bzw. 37 ein dynamisches Watch-Dog-Signal — in der Regel einen Puls — an die Pumpschaltung 27 bzw. 28 in Richtung des jeweils anderen Prozessors ab. Bei den Pumpschaltungen 27 und 28 handelt es sich um Einrichtungen, die aus dem Vorhandensein eines Eingangspulses während einer bestimmten Mindestzeitdauer ein statisches Ausgangssignal erzeugen; unter Zugrunde-

gung einer positiven Logik wird also von einer solchen Pumpschaltung eine logische 1 am Ausgang ausgegeben, sofern der Watch-Dog-Puls am Eingang anliegt. Dieses statische Ausgangssignal wird jeweils vom anderen Prozessor eingelesen (Watch-Dog-Erkennung). Bei Ausfall des Watch-Dog-Signals auf der Leitung 33 bzw. 37 wird somit eine logische Brennzahl 0 in den Eingang 22 bzw. 14 des Prozessors 20 bzw. 10 eingelesen. Der Ausfall des Watch-Dog-Signals ist ein Anzeichen dafür, daß ein Fehler im entsprechenden Prozessor vorliegt, der auf diese Weise vom jeweils anderen Prozessor erkannt wird. Somit stellt die Auswertung des Watch-Dog-Status der beiden Prozessoren den zweiten Kausalfad zur Überwachung beider Prozessoren gegenüber.

Jeder Prozessor hat die Möglichkeit, den jeweils anderen Prozessor bei seinem Ausfall wieder zu starten (Software-Reset-Output). Die Voraussetzung für die Abgabe eines Reset-Impulses auf der Leitung 34 bzw. 38 zum Prozessor 20 bzw. 10 ist, daß der Prozessor 10 bzw. 20 an seinem Eingang 14 bzw. 22 eine logische 1 infolge Vorhandenseins des Watch-Dog-Signals am Ausgang 24 bzw. 12 des Prozessors 20 bzw. 10 erkennt. Damit der Prozessor 10 bzw. 20 bei einem Defekt nicht unkontrolliert Reset-Impulse an den Prozessor 20 bzw. 10 abgibt, fungiert das UND-Gatter 29 bzw. 30 als Torschaltung, indem der betreffende Reset-Impuls nur bei Vorhandensein eines Watch-Dog-Signals des aussendenden Prozessors in Richtung des jeweils anderen Prozessors durchgelassen wird. Die ODER-Gatter 31 und 32 erlauben die gleichzeitige Rücksetzung beider Prozessoren beim Aktivieren des Gesamtsystems, also z. B. beim Einschalten der entsprechend ausgerüsteten E-Gas-Anlage. Der Austausch von Software-Reset-Signalen zwischen beiden Prozessoren stellt somit den dritten Kausalfad zur Überwachung beider Prozessoren gegeneinander dar.

Zur Verknüpfung der drei Kausalfäde zur Erkennung und Lokalisierung von Fehlern werden die folgenden Prüfungen miteinander konjugiert und wie erläutert ausgewertet:

Erkennt beispielsweise Prozessor 10, daß auf die Datenanforderung an Prozessor 20 keine Datenübertragung erfolgt, oder erkennt Prozessor 20, daß nach Ablauf eines Übertragungszyklus keine Datenanforderung von Prozessor 10 eingeht, und erkennen beide Prozessoren gleichermaßen, daß der jeweilig andere Prozessor dennoch ein Watch-Dog-Signal ausgibt und somit aktiv ist, wird auf Defekt der Steuerleitung des Datenbusses 17 erkannt. Bei einem Defekt der Datenleitungen hingegen ist eine Datenübertragung noch möglich. Der Fehler auf den Datenleitungen wird dadurch erkannt, daß der Prozessor 10 ein Prüfwort an den Prozessor 20 abgibt und dieser dann mit einem falschen Prüfwort an Prozessor 10 antwortet. Der Prozessor 10 erkennt dabei die Einhaltung des Übertragungsprotokolls für den Datenaustausch durch Prozessor 20 und dessen vorhandenes Watch-Dog-Signal, kann aber durch Auswerten des falschen Prüfwords auf einen Fehler auf den Datenleitungen des Datenbusses schließen und die Datenübertragung abbrechen. Der Prozessor 10 erkennt das Einhalten des Übertragungsprotokolls durch Prozessor 10 und dessen vorhandenes Watch-Dog-Signal, und schließt gleichermaßen auf Fehler im Datenbus.

Fällt beispielsweise der Prozessor 10 aus, so erkennt 65 der Prozessor 20 nach Ablauf des Übertragungszyklus das Fehlen einer Datenanforderung von Prozessor 10 sowie den Ausfall dessen Watch-Dog-Signals. Das kon-

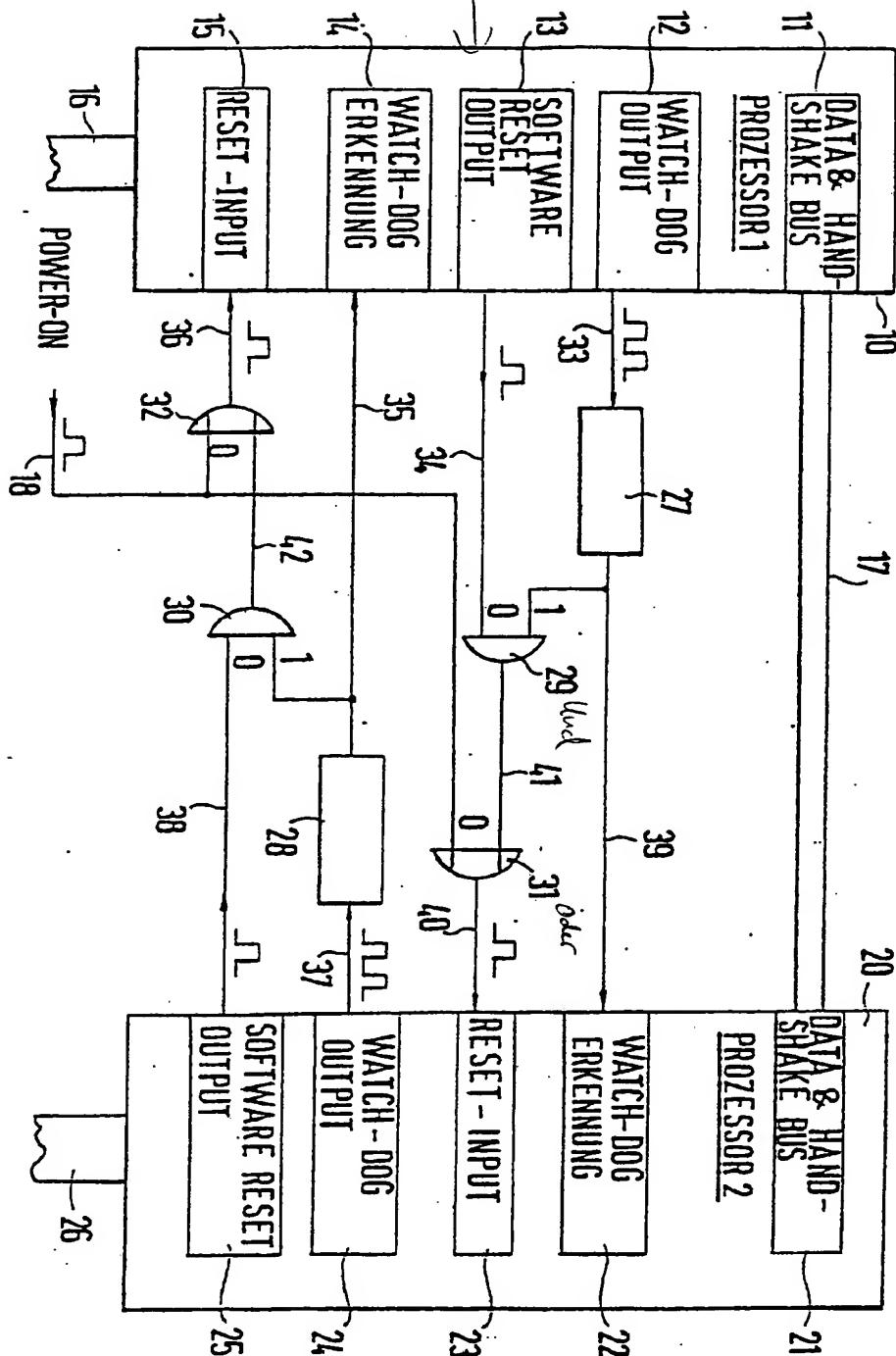
jugierte Erkennen beider Zustände führt bei Prozessor 20 zur Auswertung eines Defekts an Prozessor 10. Prozessor 20 gibt daraufhin einen Software-Reset-Impuls an Prozessor 10 ab. Sobald Prozessor 10 wieder aktiv 5 ist, gibt er ein Watch-Dog-Signal aus und fordert wieder Daten vom Prozessor 20 an. Wird Prozessor 10 nicht aktiv, gibt er kein Watch-Dog-Signal und keine Datenanforderung an Prozessor 20 ab, so daß dieser per Programm entsprechend reagiert. Entsprechendes gilt umgekehrt für den Prozessor 20.

Fällt beispielsweise das Watch-Dog-Signal von Prozessor 20 aus, so erkennt diese Prozessor 10. Reagiert Prozessor 20 richtig auf die Datenanforderung von Prozessor 10, so erkennt dieser, daß Prozessor 20 noch aktiv 15 ist und lokализiert den Fehler im Ausgang 24 des Prozessors 20 für das Watch-Dog-Signal. Über den Datenbus 17 überträgt Prozessor 10 diese Information an den Prozessor 20. Tritt umgekehrt ein Fehler beim Watch-Dog-Signal des Prozessor 10 auf, so erkennt dies Prozessor 20 und überträgt die entsprechende Information an Prozessor 10.

Die erfundungsgemäße Einrichtung sieht somit vor, daß sich beide Prozessoren einwandfrei überwachen können, obwohl sie völlig unabhängig voneinander arbeiten. Je nach Fehlerart können die Prozessoren entsprechend programmierte Fail-Safe-Routinen variabel reagieren. Weiter ist es möglich, aufgrund einer erfolgten Lokalisierung eines Fehlers diesen zu beheben, beispielsweise nach Ausfall eines Prozessors diesen durch 25 den noch voll funktionsfähigen wieder neu zu starten. Insgesamt erhöhen die verschiedenartig, softwaregestützten Reaktionsmöglichkeiten bei Auftreten eines Fehlers die Verfügbarkeit des Gesamtsystems beträchtlich. Es versteht sich von selbst, daß eine entsprechende Fehlerauswertung auch zur Weitergabe von Fehlermeldungen, beispielsweise an den Fahrer eines Kraftfahrzeugs, ausgenutzt werden kann. Schließlich ist die erfundungsgemäße Einrichtung auch auf Zwei-Prozessor-Systeme implementierbar, in denen anders als in der Zeichnung dargestellt der Austausch von Daten zwischen den beiden Prozessoren nicht über einen speziellen, fest verdrahteten Bus 17 zwischen besonderen Ports 11 und 21 erfolgt, sondern über einen Systembus oder einen Teil eines solchen Systembusses, über den generell erfaßte Meßgrößen eingelesen bzw. Verarbeitungsergebnisse ausgelesen werden.

- Leerseite -

BEST AVAILABLE COPY

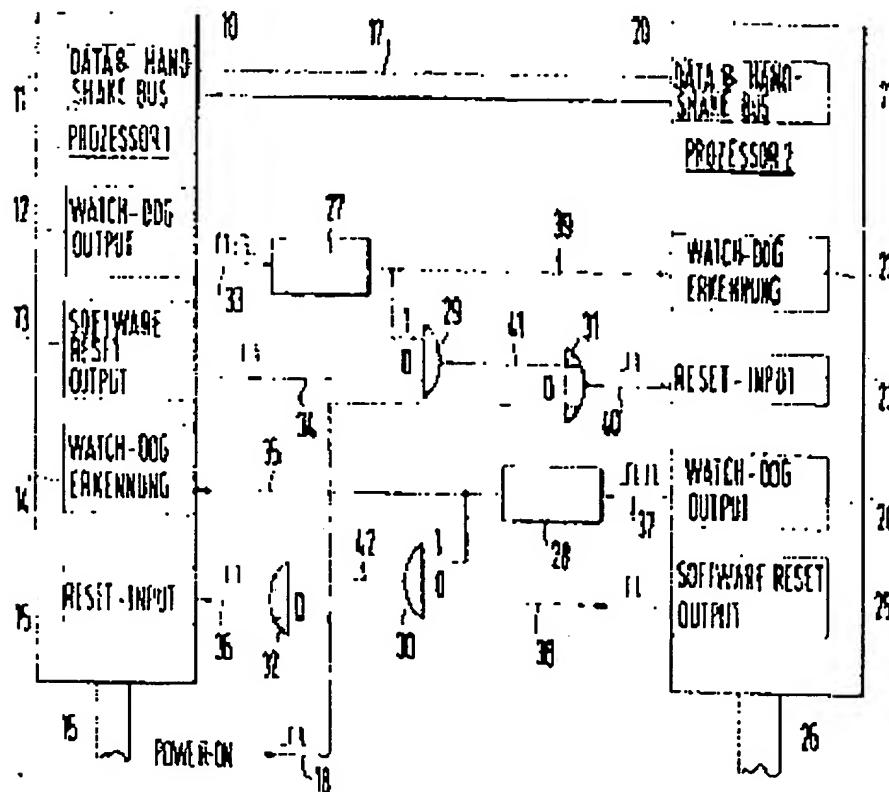


3700986

Robert Bosch GmbH, Stuttgart-Aichtal, Amtrasse 1/1
F 02 D 41/26
37 00 986
Nummer: Int. Cl. 4:
15. Januar 1988
"Birrichtung zur Überwachung eines Rechen-
in einem Kraftfahrzeug"
Offenlegungsdatum: 28. Juli 1988
Anmeldetag:

BEST AVAILABLE COPY

AN: PAT 1988-21348
 TI: Two-processor computer monitor system for vehicle uses handshake mode for cyclic data exchange whilst keeping processors independent
 PN: DE3700986-A
 PD: 28.07.1988
 AB: Both processors are fixed-wired to one another at particular ports via data and control buses (17). The processors (10,20) are operated independently of one another via the data and control buses. Each processor has a first output (12,24) for a dynamic watch-dog signal and a particular input to detect a static watch-dog signal and a second output (13,25) for a software reset signal. The outputs and inputs are connected in given ways to AND and OR gates.;
 PA: (BOSC) BOSCH GMBH ROBERT;
 IN: BUHREN H; BUEHREN H;
 FA: DE3700986-A 28.07.1988; DE3700986-C2 20.04.1995;
 US4881227-A 14.11.1989;
 CO: DE; US;
 IC: F02D-041/22; F02D-041/26; F02D-041/38; G06F-011/30;
 G06F-015/16;
 MC: T01-G05A; T01-G05B; T01-J02B; T06-A03; X22-X;
 DC: Q52; T01; T06; X22;
 FN: 1988213485.gif
 PR: DE3700986 15.01.1987;
 FP: 28.07.1988
 UP: 20.04.1995



BEST AVAILABLE COPY